

日 本 国 特 許 庁
JAPAN PATENT OFFICE

02. 2. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 2 月 6 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 3 0 9 7 2
[ST. 10/C]: [J P 2 0 0 4 - 0 3 0 9 7 2]

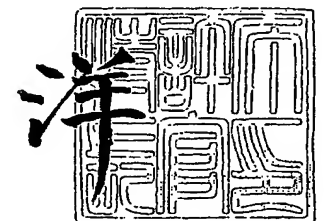
出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 有 限 公 司

BEST AVAILABLE COPY

2 0 0 5 年 3 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2022050221
【提出日】 平成16年 2月 6日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/265
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 高橋 邦方
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 北畠 真
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 山下 賢哉
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 内田 正雄
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 楠本 修
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 宮永 良子
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

炭化珪素基板または炭化珪素基板上に設けられた炭化珪素膜に不純物イオンを注入する工程 (a) と、

上記炭化珪素基板を加熱することで上記炭化珪素基板または上記炭化珪素膜の表面にカーボン層を形成する工程 (b) と、

上記工程 (b) の後、上記工程 (b) よりも高温雰囲気中で上記炭化珪素基板を活性化アニール処理する工程 (c) と
を含んでいる炭化珪素半導体素子の製造方法。

【請求項 2】

請求項 1 に記載の炭化珪素半導体素子の製造方法において、

上記工程 (b) では、大気圧を下回る圧力条件下で上記カーボン層を形成し、

上記工程 (c) では、上記工程 (b) よりも高い圧力条件下で活性化アニール処理を行なう、炭化珪素半導体素子の製造方法。

【請求項 3】

請求項 1 または 2 に記載の炭化珪素半導体素子の製造方法において、

上記工程 (b) と上記工程 (c) とを、同一の加熱炉内で行なう、炭化珪素半導体素子の製造方法。

【請求項 4】

請求項 1～3 のうちいずれか 1 つに記載の炭化珪素半導体素子の製造方法において、

上記工程 (b) では、水素を含むガスの存在下で上記カーボン層を形成する、炭化珪素半導体素子の製造方法。

【請求項 5】

請求項 1～4 のうちいずれか 1 つに記載の炭化珪素半導体素子の製造方法において、

上記工程 (b) では、 1×10^{-5} Pa 以上 10 Pa 以下の圧力条件下で上記カーボン層を形成する、炭化珪素半導体素子の製造方法。

【請求項 6】

請求項 1～5 のうちいずれか 1 つに記載の炭化珪素半導体素子の製造方法において、

上記工程 (b) では、基板温度が 1100℃ 以上 1400℃ 以下である、炭化珪素半導体素子の製造方法。

【請求項 7】

請求項 1～6 のうちいずれか 1 つに記載の炭化珪素半導体素子の製造方法において、

上記工程 (c) では、1 kPa 以上 100 kPa 以下の圧力条件下、基板温度を 1500℃ 以上 2000℃ 以下として活性化アニール処理を行なう、炭化珪素半導体素子の製造方法。

【請求項 8】

請求項 1～7 のうちいずれか 1 つに記載の炭化珪素半導体素子の製造方法において、

上記工程 (c) の後、酸素原子を含む気体の存在下で上記炭化珪素基板を加熱し、上記カーボン層を除去する工程 (d) をさらに含んでいる、炭化珪素半導体素子の製造方法。

【請求項 9】

請求項 8 に記載の炭化珪素半導体素子の製造方法において、

上記工程 (d) では、基板温度が 500℃ 以上 1000℃ 以下である、炭化珪素半導体素子の製造方法。

【請求項 10】

請求項 7 に記載の炭化珪素半導体素子の製造方法において、

上記工程 (d) でのカーボン層の除去は、上記工程 (c) での活性化アニール処理と同一の加熱炉内で行なう、炭化珪素半導体素子の製造方法。

【請求項 11】

炭化珪素基板と、イオン注入によって形成された不純物ドーパ層を有し、上記炭化珪素基板の上または上方に設けられた炭化珪素膜と、上記炭化珪素膜の上または上方に設けら

れた電極とを備え、

上記炭化珪素膜の上面のステップ高さが0.1nm以上1nm以下であり、且つ上記不純物ドーパ層の不純物の活性化率が80%以上である炭化珪素半導体素子。

【請求項12】

請求項11に記載の炭化珪素半導体素子において、

上記炭化珪素膜のうち、上記不純物ドーパ層と上記不純物ドーパ層を除く領域とでは、上面のステップ高さが均一になっている、炭化珪素半導体素子。

【請求項13】

請求項11または12に記載の炭化珪素半導体素子において、

上記炭化珪素膜の上に設けられたゲート絶縁膜をさらに備え、

上記電極は、上記ゲート絶縁膜上に設けられたゲート電極と、上記炭化珪素薄膜とオーミック接触する第1の電極とを含んでいる、炭化珪素半導体素子。

【請求項14】

請求項13に記載の炭化珪素半導体素子において、

上記炭化珪素基板の裏面とオーミック接触する第2の電極をさらに備えている、炭化珪素半導体素子。

【請求項15】

請求項11または12に記載の炭化珪素半導体素子において、

上記電極は、上記炭化珪素膜とショットキー接触する第3の電極を含んでいる、炭化珪素半導体素子。

【書類名】明細書

【発明の名称】炭化珪素半導体素子及びその製造方法

【技術分野】

【0001】

本発明は、炭化珪素基板を用いた半導体素子及びその製造方法に関するものである。

【背景技術】

【0002】

炭化珪素（シリコンカーバイド、SiC）は、珪素（Si）に比べてバンドギャップが大きく、絶縁破壊に至る電界強度が高いことなどから、次世代の低損失パワーデバイス等への応用が期待される半導体材料である。炭化珪素は、立方晶系の3C-SiCや六方晶系の6H-SiC、4H-SiC等、多くのポリタイプを有する。この中で、実用的な炭化珪素半導体素子を作製するために一般に使用されているのが6H-SiC及び4H-SiCである。そして、その中でも、c軸の結晶軸に対し垂直な（0001）面にほぼ一致する面を主面とする炭化珪素基板（SiC基板）が炭化珪素半導体素子（SiC半導体素子）によく用いられている。

【0003】

炭化珪素半導体素子を形成するためには、炭化珪素基板上に半導体素子の活性領域となるエピタキシャル成長層を形成し、このエピタキシャル成長層の選択された領域で導電型やキャリア濃度を制御することが必要となる。選択された局所的な領域に不純物ドーパントを形成するためには、不純物ドーパントをエピタキシャル成長層中にイオン注入する手法が用いられる。

【0004】

ここで、イオン注入を用いて炭化珪素からなるMOSFETを形成する一般的な方法について説明する。

【0005】

図8（a）～（d）は、炭化珪素からなるMOSFETを形成するための一般的な方法を示す断面図である。

【0006】

まず、図8（a）に示す工程で、炭化珪素基板140上に炭化珪素薄膜をエピタキシャル成長させてn型ドリフト層141を形成する。本工程では、炭化珪素基板140の（0001）面にわずかな角度（数度）を故意にもたせて基板表面のステップ密度を増大させ、ステップの横方向成長によるステップフローによって炭化珪素薄膜を成長させる。現在では、（0001）面を基準面として、4H-SiCでは8°のオフ角を、6H-SiCでは3.5°のオフ角を[11-20]方向につけることが一般的となっている。

【0007】

続いて、図8（b）に示す工程で、n型ドリフト層141の上面にイオン注入用の注入マスク142を形成する。この注入マスク142は、n型ドリフト層141の一部分を覆い、後工程でp型ウェル領域143となる領域を開口している。

【0008】

次に、図8（c）に示す工程で、注入マスク142の上方からn型ドリフト層141内にA1イオン44を注入する。

【0009】

その後、図8（d）に示す工程で、注入マスク142を除去した後、イオン注入により生じた損傷を修復させ、且つ注入した不純物イオンを活性化するために、炭化珪素基板140を希ガス（例えばアルゴンガス）雰囲気中で1700℃以上の温度まで加熱して活性化アニール処理を行う。この活性化アニール処理によって、n型ドリフト層141の一部にp型ウェル領域143が形成される。

【0010】

この後、追加のイオン注入、及び電極の形成などを行なうことにより、縦型MOSFETを作製することができる。

【0011】

しかし、図8(d)に示す工程では、炭化珪素基板を高温で処理するために、イオンが注入された領域の上面にマクロステップ145が形成されてしまう。更に、イオン注入領域のマクロステップ145より寸法は小さいものの、イオンを注入していない領域の上面にもマクロステップ146が形成される。ここで、マクロステップとは、炭化珪素薄膜の表面に形成される原子層レベルのステップが数層ずつ合体して束になったものである。このように、図8に示すような従来技術では、活性化アニール後の炭化珪素薄膜の上面にマクロステップによる凸凹が形成されることが、半導体素子の性能向上の大きな妨げとなっていた。なお、イオン注入領域に形成されたマクロステップ145の寸法がイオン注入されない領域に形成されたマクロステップ146に比べて大きいのは、イオン注入によって損傷が生じたために珪素原子及び炭素原子が炭化珪素薄膜の表面から脱離し易くなっているからであると考えられている。マクロステップ145の寸法は、活性化アニールの温度が高ければ高いほど大きくなり、ステップ高さ(図8(d)参照)が数10nm、テラスの幅が数100nmに到達することがある。

【0012】

マクロステップの形成は、MOSFETを含む多くの半導体素子で性能を低下させる原因となっている。例えば、ショットキーダイオードの場合には、炭化珪素薄膜の上面に形成されたショットキー電極においてマクロステップの先端部分で電界集中が発生し、耐圧が低下するという不具合が生じる。また、炭化珪素薄膜の表層を電流が流れるようなMESFETの場合には、マクロステップでキャリアの乱れが生じ、移動度が低下して相互コンダクタンスが低下するという不具合が生じる。更に、炭化珪素薄膜の上面上に熱酸化によってゲート酸化膜を形成するMOSFETでは、マクロステップのステップ側壁の部分とテラスの部分とで互いに厚みの異なる酸化膜が形成されるために、ゲート電圧を印加してできる反転層の厚みが不均一になり、チャネル移動度が低下するという不具合が生じる。このように、従来の方法では、炭化珪素を用いて半導体素子を作製しても、炭化珪素本来の優れた物性値から期待されるような電気的特性を得ることが困難であった。

【0013】

そこで、活性化アニールによって炭化珪素薄膜の上面にステップが形成されないようにするために、活性化アニール前にダイヤモンドライクカーボン(DLC)膜やフォトレジストを保護膜として炭化珪素薄膜の上面上に形成することが提案されている(例えば、特許文献1参照)。

【特許文献1】特開2001-68428号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、特許文献1に開示されたような、従来の炭化珪素半導体素子及びその製造方法には、以下のような不具合があった。

【0015】

まず、ダイヤモンドライクカーボン膜やフォトレジストを保護膜として炭化珪素薄膜の上面上に形成するため、半導体素子の製造工程数が増えてしまうという不具合がある。半導体素子の構造によっては、複数回の活性化アニールを行なう必要があるが、従来の方法では活性化アニールのたびに保護膜を形成する必要があった。さらに、このような保護膜を形成するためには新たな装置が必要となり、製造コストもかかる。また、活性化アニール後に保護膜を除去する工程と、保護膜を除去する装置も必要となるという問題もある。

【0016】

さらに、これらの問題に加えて、1600℃以上の高温で活性化アニールを行う際に保護膜中の不純物質が炭化珪素薄膜中に拡散によって侵入したり、保護膜から昇華した不純物質によってアニール炉内が汚染される可能性もある。このような不純物質に汚染された場合、炭化珪素半導体素子の特性が著しく低下してしまう。

【0017】

したがって、たとえこのような対策によってステップバンチングの形成を抑制させることが可能であっても、優れた特性を有する炭化珪素半導体素子を形成することは非常に困難であった。このため、活性化アニールによって表面に凸凹が形成されず、且つ、不純物質による特性の劣化の無い炭化珪素半導体素子及びその製造方法が望まれている。

【0018】

そこで本発明は、上記従来の問題点に鑑み、注入された不純物の活性化率を高くしながら炭化珪素薄膜の上面を平坦に保つことが可能な炭化珪素半導体素子の製造方法とその方法により製造された炭化珪素半導体素子とを提供することを目的とする。

【課題を解決するための手段】

【0019】

上記課題を解決するため、本発明の炭化珪素半導体素子の製造方法は、炭化珪素基板または炭化珪素基板上に設けられた炭化珪素膜に不純物イオンを注入する工程（a）と、上記炭化珪素基板を加熱することで上記炭化珪素基板または上記炭化珪素膜の表面にカーボン層を形成する工程（b）と、上記工程（b）の後、上記工程（b）よりも高温雰囲気中で上記炭化珪素基板を活性化アニール処理する工程（c）とを含んでいる。

【0020】

この方法により、カーボン層を形成した状態で工程（c）の活性化アニール処理を行なえるので、高温で活性化アニールを行ってもイオン注入領域の表面に形成されるマクロステップを小さくすることができる。そのため、炭化珪素基板または炭化珪素膜に注入された不純物の活性化率を低下させることなく従来よりも炭化珪素基板または炭化珪素膜の上面が平坦化された半導体素子を作製することが可能となる。特に、本発明の方法によれば、保護膜となるカーボン層は炭化珪素基板または炭化珪素膜から生成するものであるので、レジスト膜の成分などの不純物質によって半導体素子が汚染されるのを防ぐことができる。

【0021】

上記工程（b）では、大気圧を下回る圧力条件下で上記カーボン層を形成し、上記工程（c）では、上記工程（b）よりも高い圧力条件下で活性化アニール処理を行なうことにより、工程（b）で炭化珪素基板または炭化珪素膜の表面からの珪素の昇華が促進されるので、工程（c）と同じ圧力条件下で工程（b）を行なう場合に比べて速やかにカーボン層を形成することができる。

【0022】

上記工程（b）と上記工程（c）とを、同一の加熱炉内で行なうことが好ましい。これにより、使用する装置の種類を減らし、工程を簡略化することが可能となる。

【0023】

上記工程（b）では、水素を含むガスの存在下で上記カーボン層を形成することにより、カーボン層の形成を促進することができるので好ましい。

【0024】

上記工程（b）では、 1×10^{-5} Pa 以上 10 Pa 以下の圧力条件下で上記カーボン層を形成することが好ましい。圧力が 10 Pa より高い場合には加熱処理により炭化珪素基板または炭化珪素膜の上面にステップが形成されてしまい、圧力が 10^{-5} Pa より低い場合には加熱処理によって炭素までも昇華されてしまうおそれがあるからである。

【0025】

上記工程（b）では、基板温度が 1100℃ 以上 1400℃ 以下であることが好ましい。基板温度が 1100℃ より低い場合には基板表面からの珪素の昇華が起こらず、1400℃ より高い場合には炭素までも昇華されてしまうおそれがあるからである。

【0026】

上記工程（c）では、1 kPa 以上 100 kPa 以下の圧力条件下、基板温度を 1500℃ 以上 2000℃ 以下として活性化アニール処理を行なうことが好ましい。この圧力及び温度範囲において活性化アニールを行なうことによって不純物の活性化率を十分に高められるからである。

【0027】

上記工程(c)の後、酸素原子を含む気体の存在下で上記炭化珪素基板を加熱し、上記カーボン層を除去する工程(d)をさらに含んでいることにより、カーボン膜を酸素分子と反応させて除去することができる。

【0028】

上記工程(d)では、基板温度が500℃以上1000℃以下であれば、カーボン層をより確実に除去することができる。特に基板温度を800℃とすることが好ましい。これにより、炭化珪素の酸化反応を生じさせず、且つ、より効率的にカーボン層を除去することができる。

【0029】

上記工程(d)でのカーボン層の除去は、上記工程(c)での活性化アニール処理と同一の加熱炉内で行なうことにより、使用する装置の種類を減らし、工程を簡略化することが可能となる。

【0030】

本発明の炭化珪素半導体素子は、炭化珪素基板と、イオン注入によって形成された不純物ドープ層を有し、上記炭化珪素基板の上または上方に設けられた炭化珪素膜と、上記炭化珪素膜の上または上方に設けられた電極とを備え、上記炭化珪素膜の上面のステップ高さが0.1nm以上1nm以下であり、且つ上記不純物ドープ層の不純物の活性化率が80%以上である。

【0031】

これにより、高耐圧で高い電流密度の電流を流すことが可能な炭化珪素半導体素子が実現できる。

【0032】

上記炭化珪素膜のうち、上記不純物ドープ層と上記不純物ドープ層を除く領域とでは、上面のステップ高さが均一になっていることにより、例えば不純物ドープ層の上面近傍に電流が流れる場合に、キャリアの移動度を向上させることができる。あるいは、不純物ドープ層の上にショットキー電極を設ける場合に、電界集中を低減し、耐圧を向上させることができる。

【0033】

上記炭化珪素膜の上に設けられたゲート絶縁膜をさらに備え、上記電極は、上記ゲート絶縁膜上に設けられたゲート電極と、上記炭化珪素薄膜とオーミック接触する第1の電極とを含んでいることにより、ゲート絶縁膜の膜厚を従来よりも均一にできるので、ゲート耐圧を高くすることができる。

【0034】

上記炭化珪素基板の裏面とオーミック接触する第2の電極をさらに備えていることにより、例えば縦型MOSFETなど、縦方向に電流が流れる素子についての特性向上を実現できる。

【0035】

上記電極は、上記炭化珪素膜とショットキー接触する第3の電極を含んでいることにより、炭化珪素膜と第2の電極との間に形成されるショットキー障壁を良好に形成できるので、耐圧が向上した半導体素子を実現することができる。

【発明の効果】

【0036】

以上のように、本発明の半導体素子の製造方法によれば、炭化珪素半導体膜が平坦な表面を維持したまま高い活性化率を実現する炭化珪素半導体素子を提供することができる。

【発明を実施するための最良の形態】

【0037】

(第1の実施形態)

本発明の第1の実施形態に係る半導体素子の製造方法の特徴は、イオン注入後の活性化アニール処理の前に減圧雰囲気アニールすることにより基板表面にカーボン層を形成し

、引き続き圧力及び温度を上げて活性化アニールを行なうことにある。第1の実施形態に係る半導体素子及びその製造方法を、図面を用いて以下に説明する。

【0038】

図9は、本発明の半導体素子の製造方法で使用するアニール炉の構造を示す断面図である。同図に示すように、このアニール炉は、反応炉150と、基板151を固定するためのカーボン製のサセプタ152と、支持軸153と、試料を加熱するためのコイル154と、反応炉150にアルゴンガス155、水素ガス156及び酸素ガス157を供給するためのガス供給系158と、反応炉150内のガスを排気するためのガス排気系159と、排気ガス用配管160と、圧力調整バルブ161とを備えている。また、サセプタ152は断熱材162で周囲を覆われている。支持軸153により支えられたサセプタ152は、反応炉150の周りに巻かれたコイル154を用いた高周波誘導加熱により加熱される。

【0039】

このアニール炉を用いて、イオン注入後の炭化珪素基板上にカーボン層を形成し、その後活性化アニールを行なう半導体素子の製造方法について説明する。

【0040】

図1(a)～(d)は、本実施形態の半導体素子の製造方法を示す断面図である。

【0041】

まず、図1(a)に示す工程で、[11-20] (112バー0) 方向に8度のオフ角度がついた直径50mmの炭化珪素基板1を準備する。ここで、炭化珪素基板1としては、例えばn型の4H-SiC基板を用いる。次に、CVD法によって、炭化珪素基板1の上に厚さ10 μ mの炭化珪素薄膜(炭化珪素膜)2をエピタキシャル成長させる。続いて、炭化珪素薄膜2にイオン注入装置によって不純物イオン3を注入する。これにより、不純物イオン注入層4が形成される(図1(b)参照)。ここで注入する不純物イオン3としては、例えばp型ドープ層を形成するためのアルミニウムイオンを選択する。具体的には、アルミニウムイオンを7種類の加速電圧で多段注入する。この際には、加速電圧をそれぞれ1.0MeV、1.6MeV、2.4MeVとしてドーズ量 $3 \times 10^{14} \text{ cm}^{-3}$ のイオンを、加速電圧をそれぞれ3.3MeV、4.4MeVとしてドーズ量 $7 \times 10^{14} \text{ cm}^{-3}$ のイオンを、加速電圧をそれぞれ5.6MeV、7.0MeVとしてドーズ量 $3 \times 10^{14} \text{ cm}^{-3}$ のイオンをそれぞれ注入する。イオン注入の際の基板温度は室温とする。これにより、平均のドーパント濃度が約 $5 \times 10^{18} \text{ cm}^{-3}$ で、厚みが4 μ mの不純物イオン注入層4が形成される。

【0042】

続いて、図1(b)に示す工程で、不純物イオン注入層4が形成された炭化珪素基板1をアニール炉のサセプタ152に設置してから、ガス排気系159によってチャンパー内の真空引きを行う。このときの真空度(チャンパー内の気圧)は約 10^{-4} Pa とする。チャンパー内を真空引きした状態で、誘導加熱用のコイルに20.0kHz、20kWの高周波電力を印加して、炭化珪素基板1を1500℃まで加熱する。この状態で60分間アニールを行なう。このとき、炉内を低圧に保ちながら水素ガスを供給してもよい。この場合、水素が存在することにより珪素と炭素との結合を切りやすくできるので、珪素を選択的に昇華させやすくできる。

【0043】

図2は、活性化アニール後の基板の2次イオン質量分析計(SIMS)による分析結果を示す図である。同図に示すように、基板上部の組成分析の結果、厚みが約30nmのカーボン層5が基板表面、すなわち不純物イオン注入層4の上に形成されていることが明らかとなった。

【0044】

次に、図1(c)に示す工程で、表面にカーボン層5が形成された炭化珪素基板1を1500℃で加熱したまま、ガス供給系158からアニール雰囲気用ガス(アニールガス)を供給する。アニールガスとしてはアルゴンガス155を選択し、ガス流量は0.5リッ

トル/分とする。そして、圧力調整バルブ161を用いてチャンバー内の圧力を増加させ、91kPaで一定とする。その後、基板温度を1750℃まで昇温し、この温度を保ったまま30分間活性化アニールを行なう。次に、アルゴンガス155を供給したまま、コイル154への高周波電力の印加を停止して加熱を終了し、基板151を冷却する。この活性化アニール処理により、不純物イオン注入層4中のアルミニウムイオンが活性化され、炭化珪素薄膜2中に不純物ドーブ層6が形成されることとなる。

【0045】

続いて、図1(d)に示す工程で、カーボン層5を除去するためにアニール炉のチャンバー内の基板温度を800℃で一定とし、流量5リットル/分の酸素を供給して、30分間の加熱処理を行なう。この処理によって、基板表層のカーボン層5は完全に除去され、不純物ドーブ層6が露出する。なお、本工程で、基板温度が500℃以上1000℃以下であれば酸素とカーボン層5とを効果的に反応させてカーボン層5を除去できるが、基板温度が800℃であれば炭化珪素の酸化反応を生じさせずにカーボン層5を除去できるので最も好ましい。また、酸素ガスに代えて酸素分子を含むガスを供給してもカーボン層を除去できる。

【0046】

本工程の後、例えば不純物ドーブ層6の上に電極を形成する等の工程を経ることで、MOSFETなど種々の半導体素子を作製することができる。

【0047】

なお、図3は、本実施形態に係る半導体素子の製造方法の、図1(b)に示すカーボン層5の形成工程と、図1(c)に示す活性化アニール工程における基板温度と加熱炉内の圧力の時間に対する変化を示す図である。

【0048】

同図に示すように、図1(b)に示すカーボン層5の形成工程では、加熱炉内の圧力を少なくとも大気圧を下回る値、好ましくは 10^{-5} Pa以上10Pa以下程度に保ち、基板温度を活性化アニール温度よりも低温の1100℃以上1400℃以下程度にする。なお、基板温度が1100℃より低ければ珪素(Si)の昇華が起こらず、1400℃よりも高ければ炭素(C)までも昇華してしまう。すなわち、SiはCよりも低温で昇華するので、このように温度範囲を限定することで、不純物イオン注入層4からSiが選択的に昇華し、Cのみが基板表面に残る。このため、カーボン層5が形成される。また、炉内の圧力を大気圧より小さくするのは、Siの昇華を促進するためである。ただし、炉内の圧力が 10^{-5} Paより低くなると加熱処理によってCまでも昇華されてしまい、10Paを越ええると基板表面にステップが形成されてしまうので、上述の圧力範囲で処理することが好ましい。ただし、基板温度を上述の範囲に設定すれば、カーボン層5を形成すること自体は可能である。

【0049】

続いて、図1(c)に示す活性化アニール工程では、加熱炉の圧力を少なくともカーボン層5の形成工程よりも高い圧力、好ましくは1kPa以上100kPa以下に保ち、基板温度を1500℃以上2000℃以下程度とする。なお、不純物の活性化率は基板温度に概ね比例するので、炭化珪素の昇華速度が大きくない範囲でカーボン層5の形成工程よりも基板温度を上げることにより、不純物ドーブ層6での活性化率は80%以上にすることができる。

【0050】

次に、本願発明者らは、以上で説明した方法によって活性化アニールした基板の表面モフォロジーについて原子間力顕微鏡(AFM)を用いて解析した。また、比較のために、本実施形態の方法と同一の条件で不純物イオンを注入した炭化珪素基板を従来技術のアルゴンガス雰囲気中で活性化アニールした炭化珪素基板を用意した。従来技術の活性化アニール条件は、基板温度1750℃、アルゴンガスの流量0.5リットル/分、アニール時の炉内の圧力は91kPaで一定とし、アニール時間は30分とした。従来方法によって活性化アニールした基板の表面モフォロジーについてもAFMを用いて測定した。

【0051】

本実施形態の方法と従来技術による活性化アニールの結果の表面モフォロジーとを比較したところ、本実施形態の活性化アニール方法によれば、従来の方法に比べ基板表面の粗さを2桁以上低減できることが分かった。本実施形態の方法で処理した基板上面の表面粗さは約0.5 nmであった。ここで、「表面粗さ」とは、ステップ高さと同じ意味である。さらに、本実施形態の方法で処理した基板におけるアルミニウムイオンの活性化率について調べたところ、約90%という非常に高い活性化率を実現していることが明らかとなった。

【0052】

これらの結果は、本実施形態の方法によって平坦な表面を維持したまま高い活性化率を実現できることを示している。なお、従来技術では、活性化アニールの温度を高くすれば活性化率は上がるもののマクロステップも大きくなるので、活性化率の向上とマクロステップの抑制とを両立することが困難であった。

【0053】

また、本実施形態の方法によれば、活性化アニールを行なうための加熱炉内にレジスト等に含まれる不純物質が持ち込まれないので、不純物質による半導体素子の特性劣化を防ぐことができる。さらに、マクロステップの発生を抑制するためのカーボン層5を活性化アニールと同じ加熱炉で行なうことができるので、新たな装置を導入する必要がなく、半導体素子を製造するための工程を簡略化することができる。また、カーボン層5の除去を活性化アニールと同じ加熱炉で行なうことも可能であるので、活性化アニールとカーボン層5の除去とを別々の装置で行なう場合に比べ、製造装置の数を減らすことができ、製造工程を大幅に簡略化することが可能となる。

【0054】

なお、本実施形態で説明した方法においては、カーボン層の形成のためのアニールとイオン注入の活性化アニールを同一の炉内において連続で行ったが、それぞれの工程を別々の加熱炉で行っても本実施形態の方法と同様の効果が得られる。

【0055】

また、本実施形態で説明した方法においては、イオン注入の活性化アニールとカーボン層の除去を同一の炉内において連続で行ったが、それぞれの工程を別々の加熱炉で行っても本実施形態の方法と同様の効果が得られる。

【0056】

また、以上の実施の形態においては、熱酸化によってカーボン層を除去したが、酸素を用いたプラズマ処理やオゾン処理によってカーボン層を除去しても本実施形態の方法と同様の効果が得られる。

【0057】

また、以上の実施の形態においては、4H-SiCを炭化珪素基板として用いたが、4H-SiC以外のポリタイプからなる炭化珪素基板を用いてもよい。

【0058】

また、本実施形態で説明した例では、p型イオンを注入後にカーボン層を形成したが、これと同様の方法でn型イオンを注入した場合にもカーボン層を形成できる。

【0059】

なお、上述の方法によって製造される炭化珪素半導体素子は、図1(d)に示すように、炭化珪素基板1と、炭化珪素基板1の主面上に設けられた厚さ10 μm の炭化珪素薄膜2と、炭化珪素薄膜2内に設けられた厚さ4 μm の不純物ドーブ層6とを備えている。不純物ドーブ層6には、例えば濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度のp型不純物（アルミニウムなど）が含まれている。ここでは図示していないが、炭化珪素半導体素子は、例えば不純物ドーブ層6上や炭化珪素基板1の裏面上に電極が設けられるなどしており、トランジスタやダイオードなどの半導体素子として動作する。

【0060】

本実施形態の炭化珪素半導体素子において、不純物ドーブ層6の上面には微小な段差（

ステップ) が形成されているが、そのステップ高さは約0.1 nm以上1 nm以下である。

【0061】

このため、縦型MOSFET等、不純物ドーブ層上にゲート絶縁膜が設けられる素子の場合には、ゲート絶縁膜の厚みを均一にでき且つ、キャリアの移動がマクロステップによって妨げられないので、耐圧性を向上させると共に、高い電流密度の電流を流すことが可能となる。これについては後述する。さらに、不純物ドーブ層6中のp型不純物の活性化率は、80%以上となっているので、活性化率が低い場合に比べて半導体素子としての特性を向上させることができる。

【0062】

(第2の実施形態)

本発明の第2の実施形態として、炭化珪素半導体素子の一例である、不純物が導入された層の上面のステップ高さが1 nm以下の炭化珪素MOSFET、及びその製造方法について、図を参照しながら説明する。

【0063】

図4(a)～(c)及び図5(a)～(c)は、本実施形態の炭化珪素MOSFETの製造方法を示す断面図である。

【0064】

まず、図4(a)に示す工程で、炭化珪素基板21を準備する。炭化珪素基板21としては、例えば、主面が(0001)から[11-20](112バー0)方向に8度のオフ角度がついた直径50 mmの4H-SiC基板を用いる。この基板はn型で、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0065】

次に、CVD法により炭化珪素基板21上にn型の不純物ドーブ層をエピタキシャル成長させる。これによって、厚みが $10 \mu\text{m}$ 、キャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ のMOSFETのn型ドリフト層22が炭化珪素基板21上に形成される。

【0066】

次に、図4(b)に示す工程で、第1の不純物イオン注入層23を形成するために、n型ドリフト層22の上面に、例えばシリコン酸化膜(SiO_2)からなる第1の注入マスク(図示せず)を形成する。この第1の注入マスクは、n型ドリフト層22の一部を覆い、後に第1の不純物イオン注入層23となる領域を開口している。そして、第1の注入マスクの上方から、n型ドリフト層22内に多段階のAlイオンの注入を行う。ここで、Alイオンの注入条件は、第1の実施形態の方法と同じとする。

【0067】

続いて、第1の注入マスクを除去した後、一部分を開口するようにして SiO_2 からなる第2の注入マスク(図示せず)を基板上に形成する。次いで、第2の注入マスクの開口部を通して、窒素イオンを第1の不純物イオン注入層23に注入し、第1の不純物イオン注入層23内に第2の不純物イオン注入層24を形成する。

【0068】

次に、図4(c)に示す工程で、基板(各層が設けられた炭化珪素基板21)をアニール炉のサセプタ152に設置して、チャンバー内をガス排気系で真空引きを行った状態で、基板を 1550°C まで加熱した。そして、この状態で60分間アニールを行ない、厚さが約 100 nm のカーボン層25を形成する。

【0069】

次に、図5(a)に示す工程で、基板の温度を 1550°C で一定としたまま、アルゴンガスを0.5リットル/分の流量で供給して、チャンバー内の圧力を 91 kPa とする。その後、基板温度を 1750°C まで昇温して、この温度を保ったまま30分間活性化アニールを行なう。これにより、第1の不純物イオン注入層23及び第2の不純物イオン注入層24に含まれる不純物が活性化され、それぞれp型ウェル領域26とn型のソース用コンタクト領域27とが形成される。p型ウェル領域26及びn型のソース用コンタクト領

域 27 における不純物の活性化率は、それぞれ 80% 以上になる。

【0070】

続いて、図 5 (b) に示す工程で、カーボン層 25 を除去するためにアニール炉のチャンバー内の基板温度を 800℃ で一定とし、流量 5 リットル/分の酸素を供給して、30 分間の加熱処理を行なう。この処理によって、炭化珪素基板 21 の上方に設けられたカーボン層 25 は完全に除去される。これにより、p 型ウェル領域 26 及びソース用コンタクト領域 27 とが露出される。なお、p 型ウェル領域 26 に含まれるキャリアの濃度は $1 \times 10^{17} \text{ cm}^{-3}$ であり、ソース用コンタクト領域 27 に含まれるキャリアの濃度は $1 \times 10^{18} \text{ cm}^{-3}$ の n 型のソース用コンタクト領域 27 が形成される。本工程の活性化アニール後の p 型ウェル領域 26 及びソース用コンタクト領域 27 の上面に形成されたステップの高さは、0.1 nm 以上 1 nm 以下であり、従来の方法を用いた場合に比べてステップ高さが 1/10 以下にまで小さくなっている。

【0071】

次に、図 5 (c) に示す工程で、基板を 1100℃ で熱酸化することで基板表面に厚さ 30 nm のゲート絶縁膜 28 を形成する。その後、電子ビーム (EB) 蒸着装置を用いてソース用コンタクト領域 27 の上面及び炭化珪素基板 21 の裏面に Ni を蒸着する。続いて、加熱炉を用いて 1000℃ で加熱することにより、ソース用コンタクト領域 27 上には第 1 のオーミック電極となるソース電極 29 を、炭化珪素基板 21 の裏面上には第 2 のオーミック電極となるドレイン電極 30 をそれぞれ形成する。

【0072】

次に、ゲート絶縁膜 28 上にアルミニウムを蒸着して、ゲート電極 31 の形成を行なうことにより、図 5 (c) に示すような構造の MOSFET が形成される。

【0073】

以上のようにして作製された MOSFET は、n 型の炭化珪素基板 21 と、上記炭化珪素基板 21 の主面上に形成された n 型ドリフト層 22 と、上記 n 型ドリフト層 22 内に設けられた p 型ウェル領域 26 と、上記 p 型ウェル領域 26 内に設けられた n 型のソース用コンタクト領域 27 と、上記 n 型ドリフト層 22 及び p 型ウェル領域 26 の上に設けられたゲート絶縁膜 28 と、上記ゲート絶縁膜 28 の上に設けられたゲート電極 31 と、上記ソース用コンタクト領域 27 の上に設けられたソース電極 (オーミック電極) 29 と、上記炭化珪素基板 21 の裏面上に設けられたドレイン電極 30 とを備えている。そして、p 型ウェル領域 26 及びソース用コンタクト領域 27 の上面に形成されたステップ高さは、0.1 nm 以上 1 nm 以下となっており、n 型ドリフト層 22 のうち、イオン注入された領域とイオン注入されていない領域とで、上面に形成されたステップ高さがほぼ均一になっている。

【0074】

次に、本実施形態に係る MOSFET の性能を調べるために、電流電圧特性を測定した。その結果について以下に説明する。

【0075】

比較のために、従来技術によって活性化アニールを行って作製した MOSFET を用意した。従来技術の活性化アニール条件は、基板温度 1750℃、アルゴンガスの流量 0.5 リットル/分、アニール時の炉内の圧力は 91 kPa で一定とし、アニール時間は 30 分とした。なお、従来技術によって作製した MOSFET の素子構造は本実施形態の MOSFET と同じとした。

【0076】

本実施形態の MOSFET 及び従来の MOSFET の動作時のドレイン電流の値を測定して比較した結果、本実施形態の MOSFET では、従来技術で形成した MOSFET に比べてドレイン電流が 3 倍以上大きいことが判明した。この理由としては、従来の MOSFET では、ステップ高さ (表面の粗さ) が 10 nm 以上であるために p 型ウェル領域 26 の表面近傍を流れるキャリアの移動度が低下し、ドレイン電流が流れにくくなっていることが考えられる。これに対し、本実施形態の MOSFET では、p 型ウェル領域 26 及

びソース用コンタクト領域27のステップ高さが1 nm以下であるので、キャリアの移動度が低下せず高い電流密度のドレイン電流が流れると考えられる。

【0077】

以上のことから、イオン注入後の活性化アニール処理の前に減圧雰囲気アニールすることにより基板表面にカーボン層を形成し、引き続き温度を上げて活性化アニールを行うことにより、平坦な表面を維持したまま高い活性化率を実現することが可能となり、表面粗さが1 nm以下の炭化珪素MOSFETを作製できることが示された。

【0078】

なお、本実施形態においては、MOSFETについて説明したが、炭化珪素薄膜とショットキー障壁を形成するゲート電極と、炭化珪素薄膜とオーミック接触するソース電極及びドレイン電極とをさらに設けたMESFETや、炭化珪素薄膜上に設けられたショットキー電極と炭化珪素基板の裏面上に設けられたオーミック電極とを備えたショットキーダイオード等に対しても上記と同様の効果が得られる。

【0079】

また、以上の実施形態においては、反転型のMOSFETについて説明したが、蓄積型のMOSFETに対しても本実施形態のMOSFETと同様の効果が得られる。

【0080】

以上の説明では、MOSFETを例にとって説明したが、イオン注入を用いて製造するMOSFET以外の炭化珪素半導体素子であっても、不純物ドーブ層の上面を従来よりも平坦にすることで、電気的特性を向上させることが可能である。

【0081】

(その他の実施形態)

第2の実施形態で説明したMOSFET以外にも、ショットキーダイオードやMESFETなどはイオン注入を用いて製造されるので、本発明の製造方法を応用することができる。以下、これらの素子においてマクロステップのサイズを小さくする方法を説明する。

【0082】

図6(a)～(d)は、本実施形態に係るショットキーダイオードの製造方法を示す断面図である。

【0083】

まず、図6(a)に示す工程で、n型炭化珪素基板31上にCVD法により厚みが10 μm でキャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ のn型のエピタキシャル成長層32を形成する。ここで、n型炭化珪素基板31に含まれるキャリアの濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0084】

次に、図6(b)に示す工程で、エピタキシャル成長層32の一部にAlイオンを注入しガードリング33aを形成する。

【0085】

次いで、図6(c)に示す工程で、基板温度を1550℃にし、60分間保持する。これにより、基板上に厚さ100 nmのカーボン層35を形成する。続いて、アニール工程と同じ加熱炉を用いて基板温度を1750℃まで上げてガードリング33a内の不純物を活性化し、ガードリング33を形成する。

【0086】

続いて、図6(d)に示す工程で、n型炭化珪素基板31の裏面にニッケルを蒸着して1000℃で加熱することによりオーミック電極39を形成する。さらに、エピタキシャル成長層32の上面にTi(チタン)を蒸着してショットキー電極37を形成する。

【0087】

以上のようにして製造されるショットキーダイオードは、図4(d)に示すように、n型炭化珪素基板31と、n型炭化珪素基板31上に設けられたn型SiCからなるエピタキシャル成長層32と、エピタキシャル成長層32の上に設けられたTiからなるショットキー電極37と、エピタキシャル成長層32のうちショットキー電極37の両側下方に

位置する領域に設けられ、p型不純物を含むガードリング33と、n型炭化珪素基板31の裏面上に設けられたNiからなるオーミック電極とを備えている。

【0088】

図6(c)に示す工程で、不純物を活性化するためのアニール処理に先立ってカーボン層35を形成することで、本実施形態のショットキーダイオードでは、エピタキシャル成長層32の上面のステップ高さが0.1nm以上1nm以下程度に抑えられている。従って、本実施形態のショットキーダイオードでは、従来のショットキーダイオードに比べてショットキー電極37とエピタキシャル成長層32との界面での電界集中を抑制することができ、耐圧を向上させることができる。

【0089】

次に、本発明の方法を用いて製造したMESFETについても説明する。

【0090】

図7(a)～(d)は、本実施形態に係るMESFETの製造方法を示す断面図である。

【0091】

まず、図7(a)に示す工程で、CVD法により炭化珪素基板41上に厚みが10 μ mの炭化珪素からなるアンドープ層43を成長する。次いで、アンドープ層43の上に厚みが200nm、キャリア濃度が約 $5 \times 10^{17} \text{ cm}^{-3}$ のn型炭化珪素からなるチャンネル層45を成長する。

【0092】

次に、図7(b)に示す工程で、チャンネル層45及びアンドープ層43の一部に窒素イオンを注入し、チャンネル層45のうち不純物がドーピングされていない部分(図7(c)以降に示すチャンネル層45)を挟むようにソース用コンタクト領域47a及びドレイン用コンタクト領域49aを形成する。

【0093】

次いで、図7(c)に示すように、基板を1550℃で60分間アニール処理して基板の上に厚さ100nmのカーボン層51を形成する。続いて、アニール工程と同じ加熱炉を用いて基板温度を1750℃まで上げて活性化アニールを行ない、ソース領域47及びドレイン領域49を形成する。

【0094】

その後、図7(d)に示すように、ソース領域47及びドレイン領域49の上面にNiを蒸着してから1000℃で加熱することにより、ソース電極53及びドレイン電極55を形成する。さらに、チャンネル層45の上面にTiを蒸着してゲート電極を形成する。

【0095】

以上のようにして製造した本実施形態のMESFETは、炭化珪素基板41と、炭化珪素基板41上に設けられた厚さが10 μ mでアンドープのSiCからなるアンドープ層43と、アンドープ層43の上に設けられ、n型不純物を含むSiCからなるチャンネル層45と、チャンネル層45の上に設けられたゲート電極57と、アンドープ層43及びチャンネル層45のうちゲート電極57の両側下方に位置する領域に形成されたソース領域47及びドレイン領域49と、ソース領域47の上に設けられたソース電極53と、ドレイン領域49の上に設けられたドレイン電極55とを備えている。

【0096】

本実施形態のMESFETでは、ソース領域47、ドレイン領域49及びチャンネル層45の各上面のステップ高さが0.1nm以上1nm以下程度に抑えられている。従って、本実施形態のMESFETにおいては、従来のMESFETに比べてキャリアの乱れが抑制され、相互コンダクタンスが向上している。

【産業上の利用可能性】

【0097】

本発明の炭化珪素半導体素子は、プラズマディスプレイなど、高電圧下での動作が要求される機器などに好ましく用いられる。

【図面の簡単な説明】

【0098】

【図1】(a)～(d)は、本発明の第1の実施形態に係る半導体素子の製造方法において、イオン注入による不純物ドーパ層を形成する工程を示す断面図である。

【図2】活性化アニール後の基板の2次イオン質量分析計(SIMS)による分析結果を示す図である。

【図3】第1の実施形態に係る半導体素子の製造方法の、図1(b)に示すカーボン層5の形成工程と、図1(c)に示す活性化アニール工程における基板温度と加熱炉内の圧力の時間に対する変化を示す図である。

【図4】(a)～(c)は、本発明の第2の実施形態に係る炭化珪素MOSFETの製造方法を示す断面図である。

【図5】(a)～(c)は、本発明の第2の実施形態に係る炭化珪素MOSFETの製造方法を示す断面図である。

【図6】(a)～(d)は、本実施形態に係るショットキーダイオードの製造方法を示す断面図である。

【図7】(a)～(d)は、本実施形態に係るMESFETの製造方法を示す断面図である。

【図8】(a)～(d)は、炭化珪素からなるMOSFETを形成するための一般的な方法を示す断面図である。

【図9】本発明の半導体素子の製造方法で使用するアニール炉の構造を示す断面図である。

【符号の説明】

【0099】

- | | |
|-------|--------------|
| 1 | 炭化珪素基板 |
| 2 | 炭化珪素薄膜 |
| 3 | 不純物イオン |
| 4 | 不純物イオン注入層 |
| 5, 25 | カーボン層 |
| 6 | 不純物ドーパ層 |
| 21 | 炭化珪素基板 |
| 22 | n型ドリフト層 |
| 23 | 第1の不純物イオン注入層 |
| 24 | 第2の不純物イオン注入層 |
| 26 | p型ウェル領域 |
| 27 | ソース用コンタクト領域 |
| 28 | ゲート絶縁膜 |
| 29 | ソース電極 |
| 30 | ドレイン電極 |
| 31 | ゲート電極 |
| 150 | 反応炉 |
| 151 | 基板 |
| 152 | サセプタ |
| 153 | 支持軸 |
| 154 | コイル |
| 155 | アルゴンガス |
| 156 | 水素ガス |
| 157 | 酸素ガス |
| 158 | ガス供給系 |
| 159 | ガス排気系 |
| 160 | 排気ガス用配管 |

1 6 1

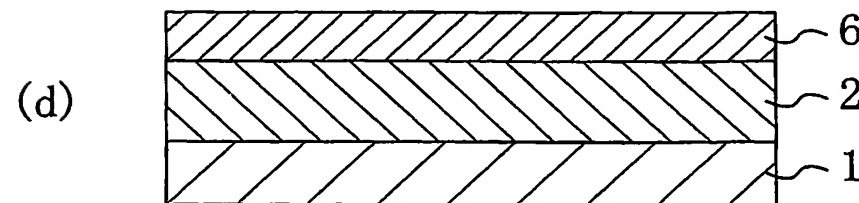
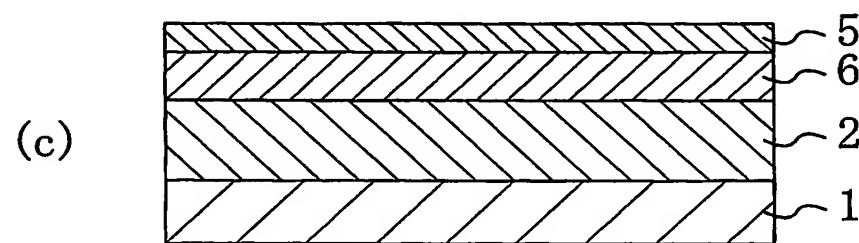
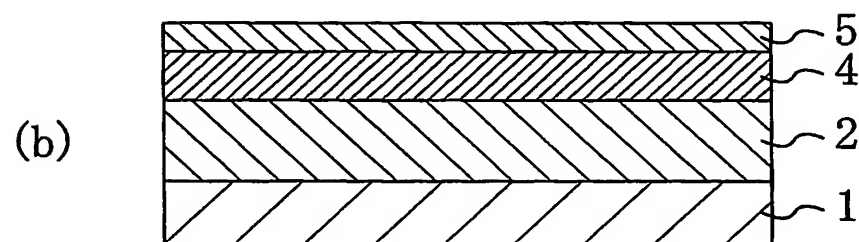
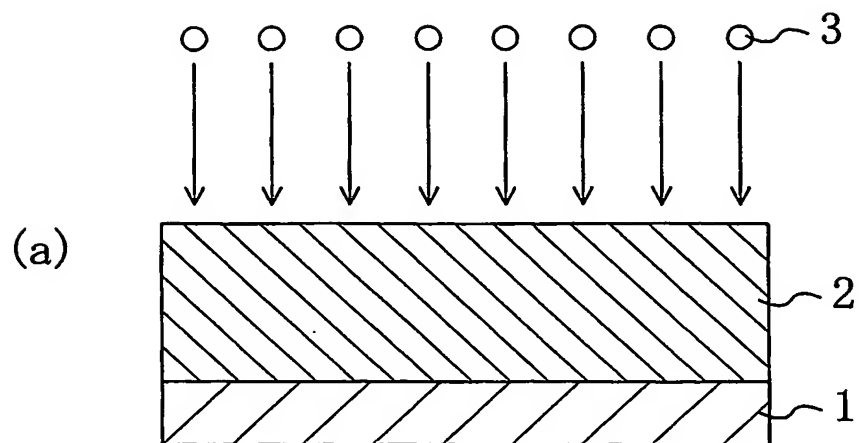
圧力調整バルブ

1 6 2

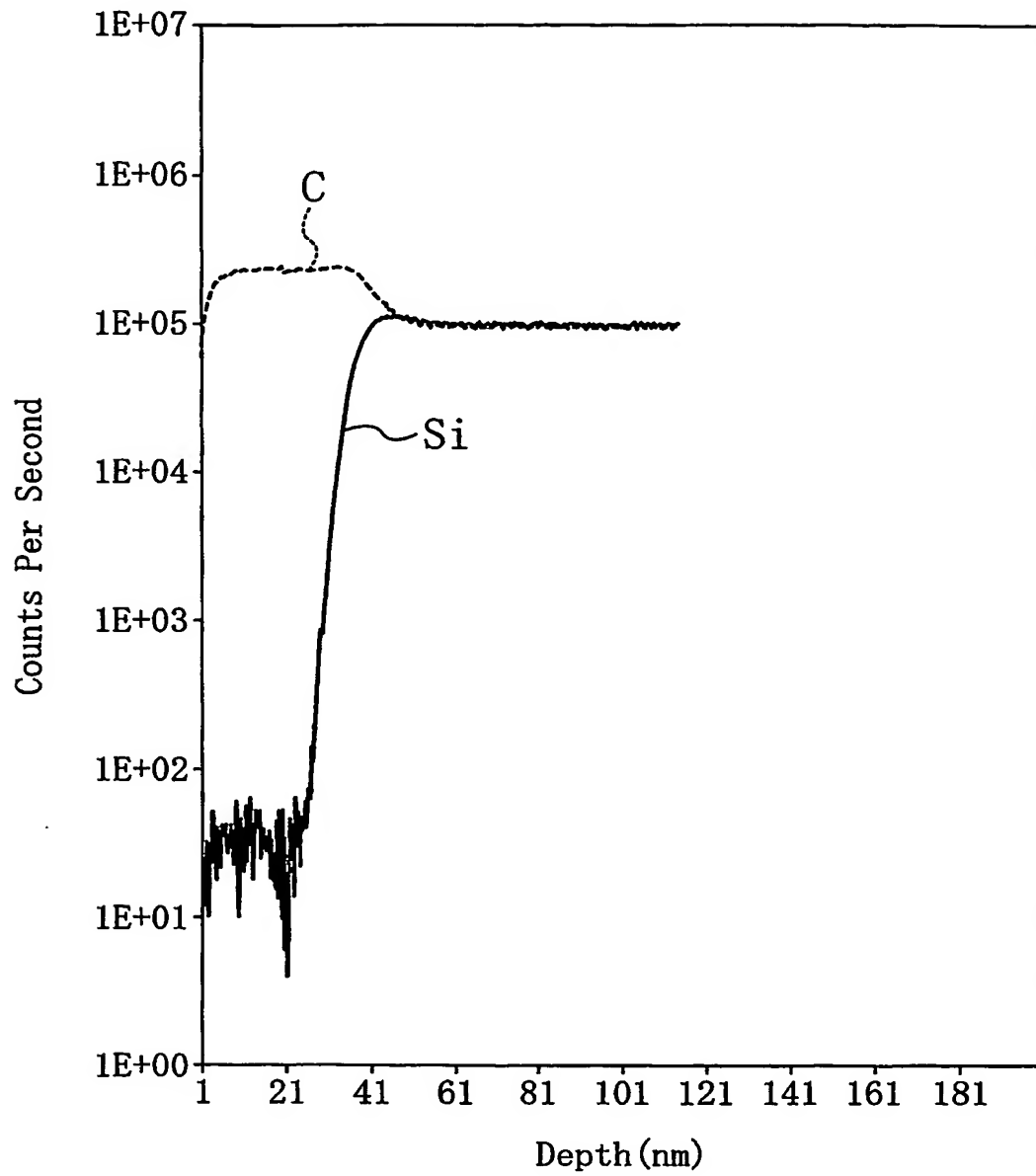
断熱材

【書類名】 図面

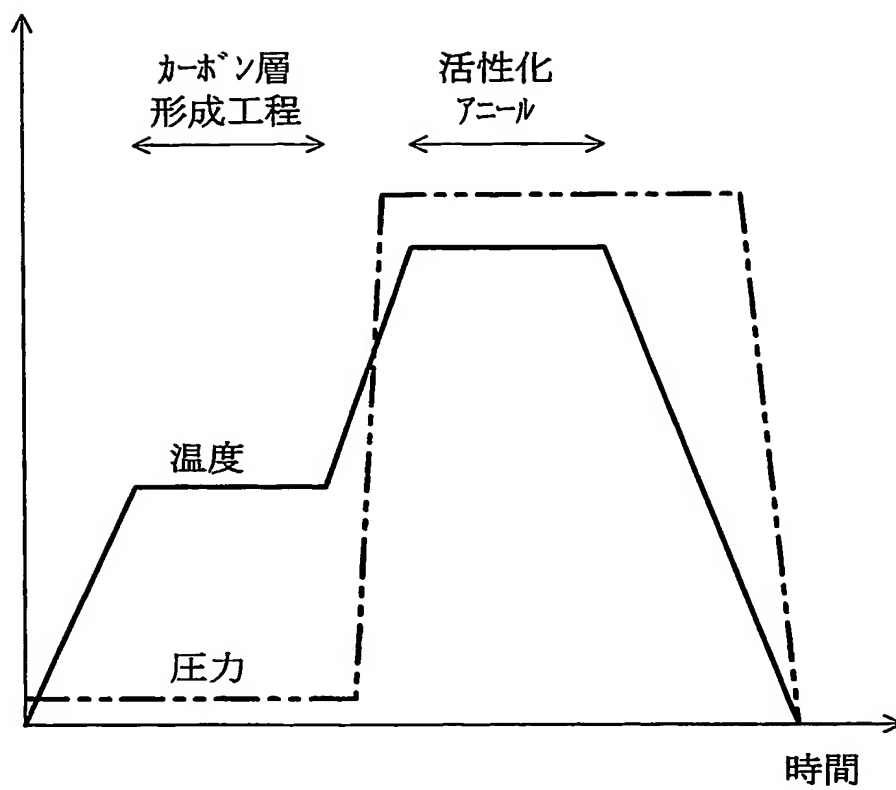
【図 1】



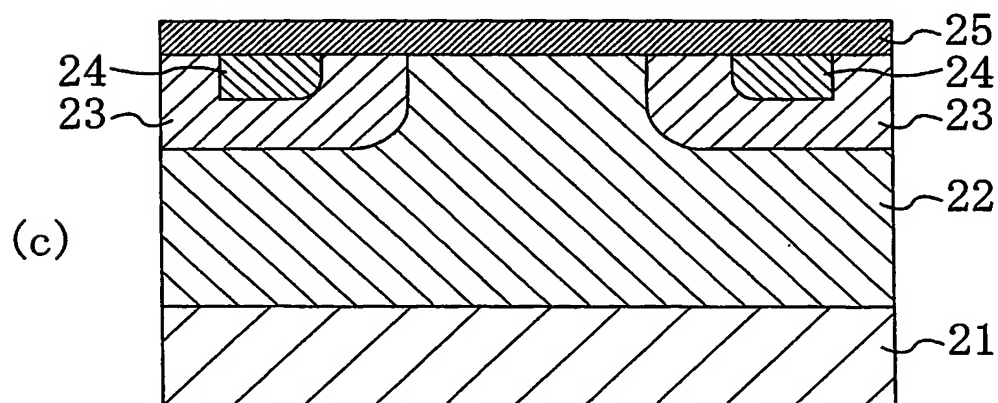
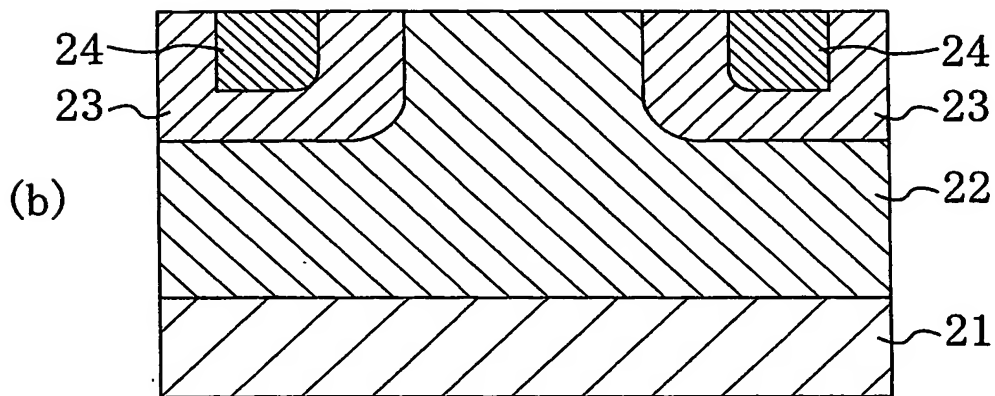
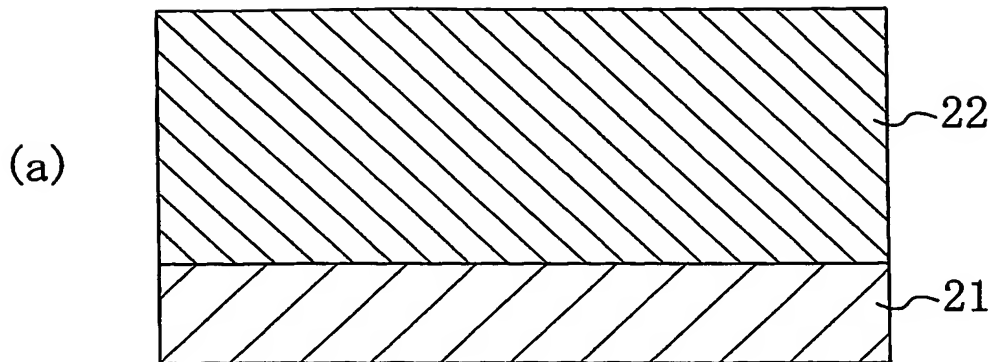
【図 2】



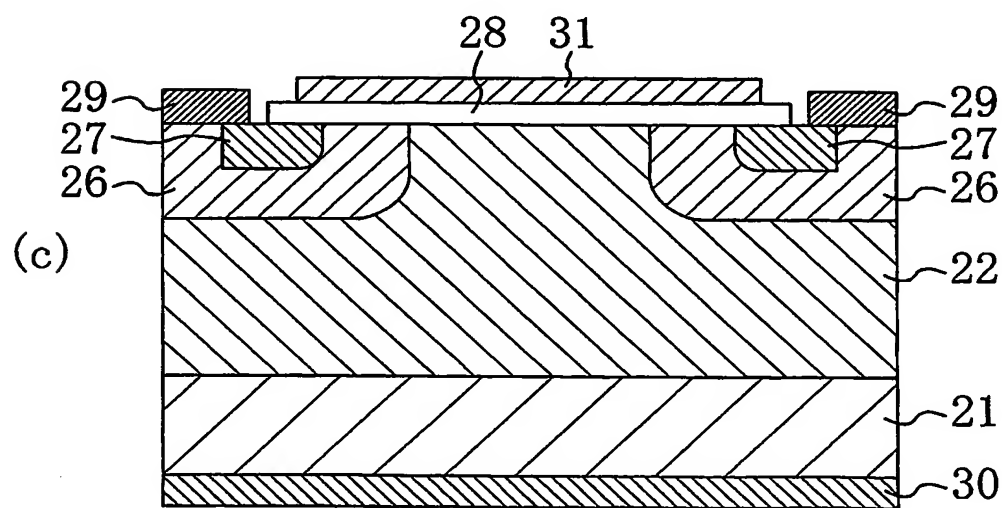
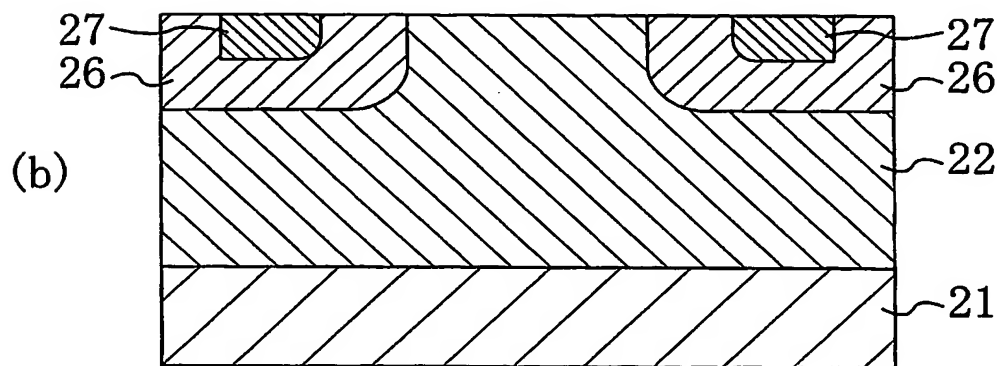
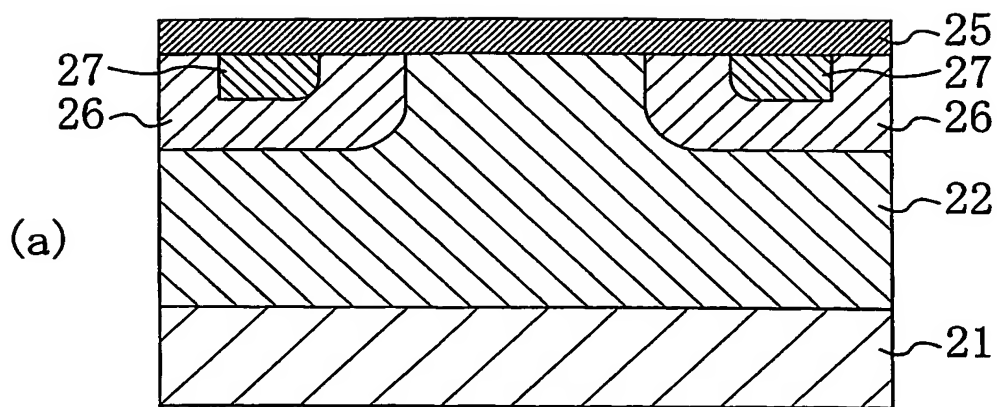
【図 3】



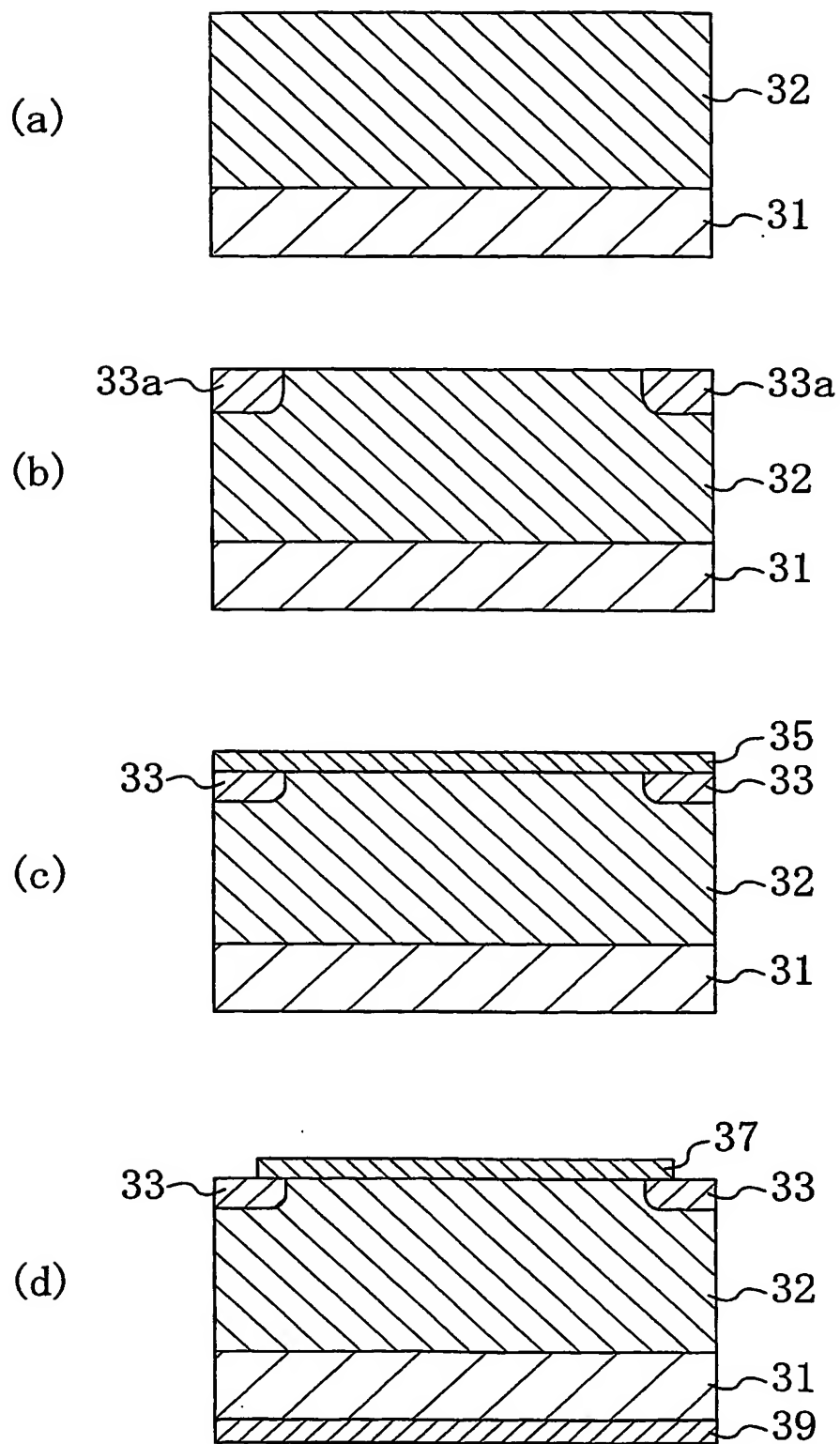
【図 4】



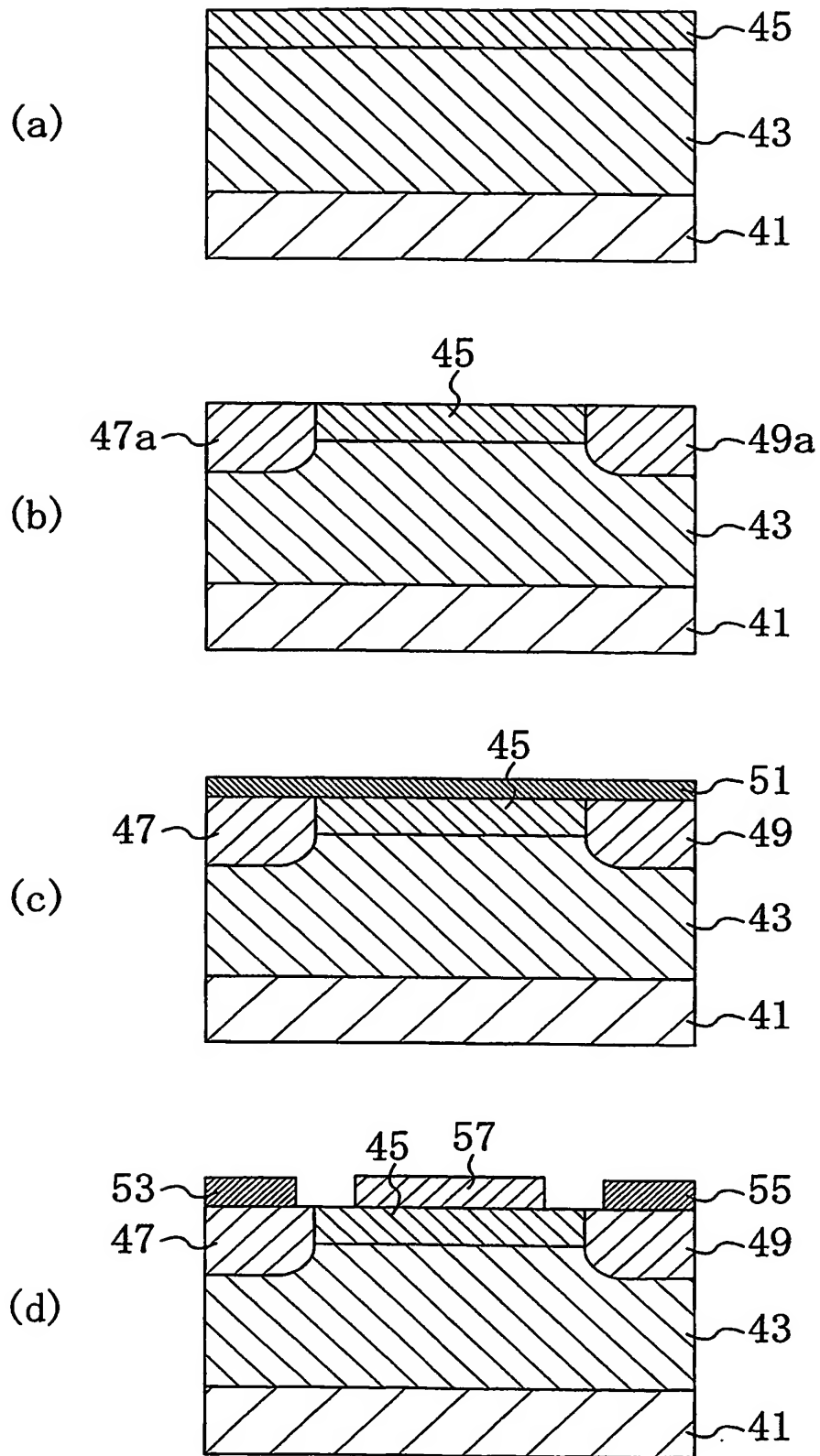
【図5】



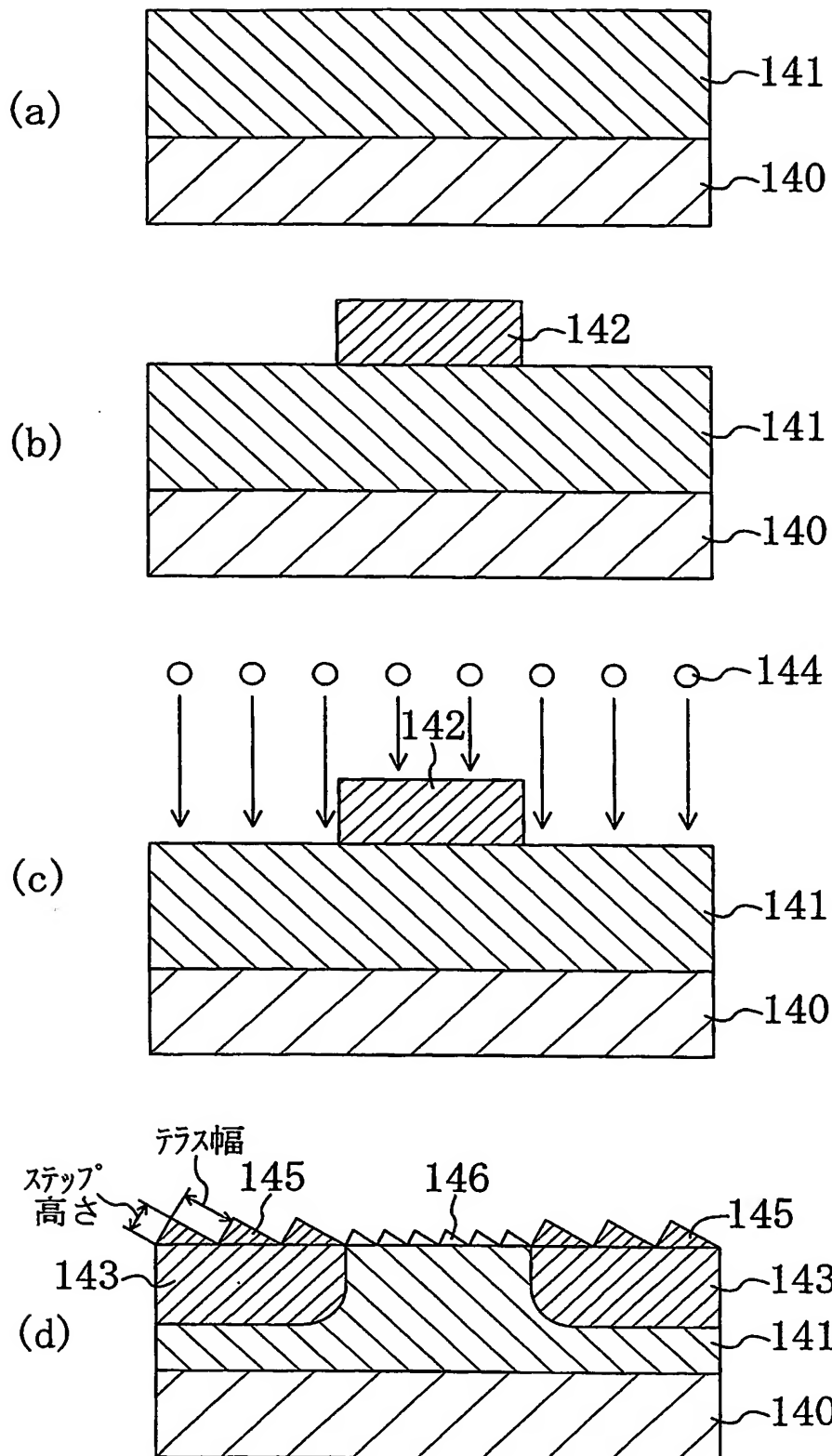
【図 6】



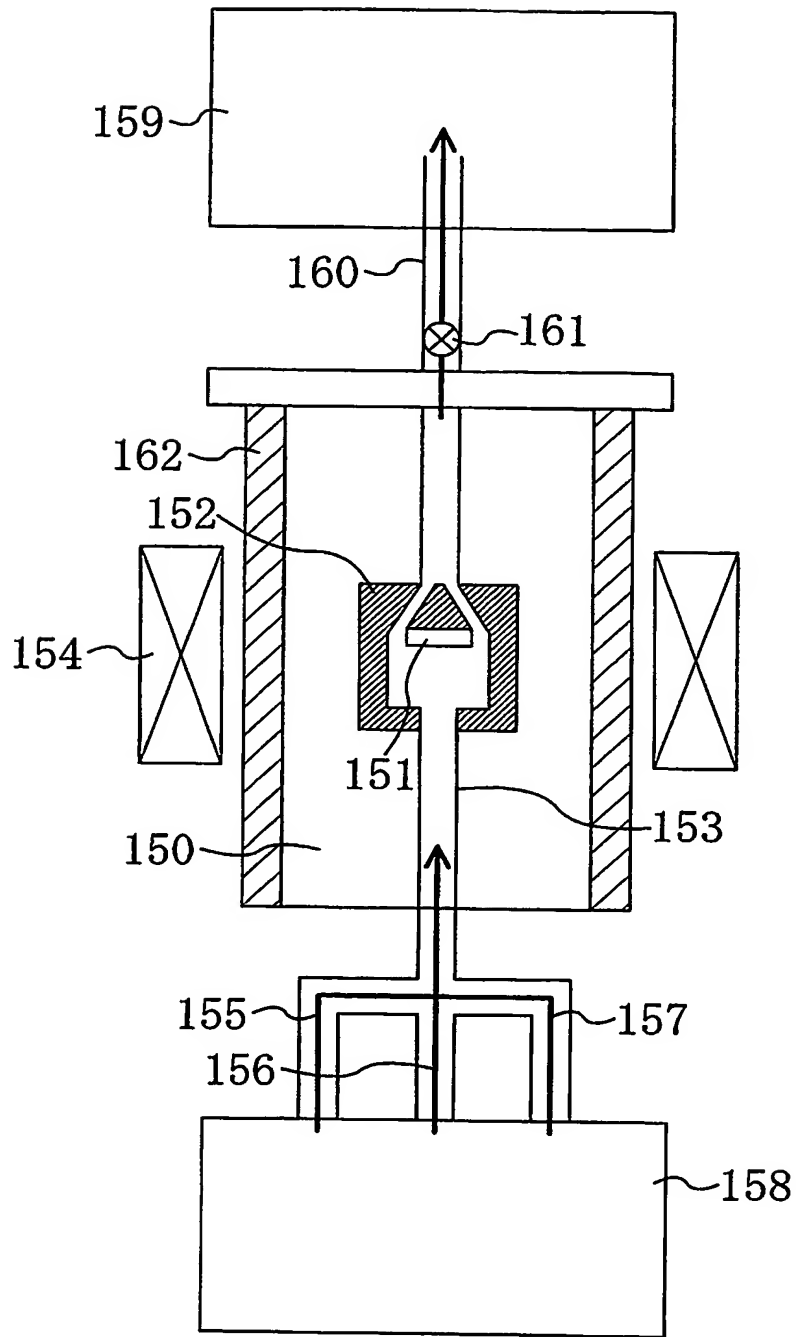
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 上面の平坦性が高く、且つ活性化率が高い不純物ドーブ層を備えた炭化珪素半導体素子及びその製造方法を提供する。

【解決手段】 半導体素子の製造方法は、炭化珪素基板 1 上に形成された炭化珪素薄膜 2 内にイオンを注入する工程と、炭化珪素基板を減圧雰囲気で加熱することで炭化珪素基板の表面にカーボン層 5 を形成する工程と、カーボン層 5 を形成する工程より高い圧力で、且つ高い温度の雰囲気中で炭化珪素基板を活性化アニールする工程とを含んでいる。

【選択図】 図 1

特願 2 0 0 4 - 0 3 0 9 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001240

International filing date: 28 January 2005 (28.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-030972
Filing date: 06 February 2004 (06.02.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**